

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-313594

(43) 公開日 平成 8 年 (1996) 11 月 29 日

(51) Int.Cl.⁸

G 0 1 R 31/28

G 1 1 C 29/00

識別記号

3 0 3

庁内整理番号

F I

G 0 1 R 31/28

G 1 1 C 29/00

技術表示箇所

B

3 0 3 D

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平7-120102

(22) 出願日 平成 7 年 (1995) 5 月 18 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(71) 出願人 591036505

菱電セミコンダクタシステムエンジニアリ
ング株式会社

兵庫県伊丹市瑞原 4 丁目 1 番地

(72) 発明者 向川 泰和

伊丹市瑞原 4 丁目 1 番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内

(74) 代理人 弁理士 高田 守 (外 4 名)

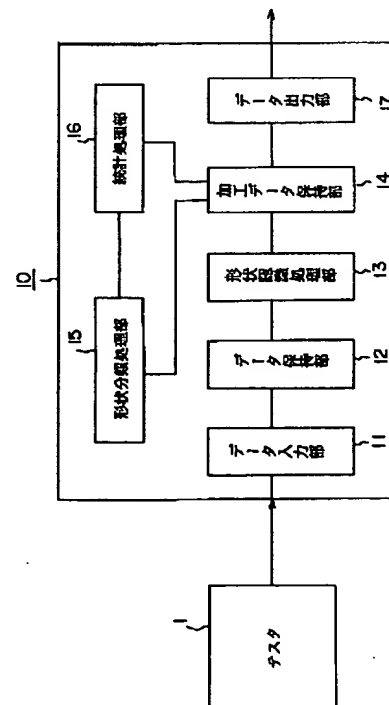
最終頁に続く

(54) 【発明の名称】 半導体装置の試験データ処理装置及びその試験データ処理方法

(57) 【要約】

【構成】 試験データ処理装置 (EWS) 10 は、テスト 1 から出力されたフェールビットマップデータを形状認識する形状認識処理部 13 と、前記認識された形状データを分類処理して出力データテーブルを作成する形状分類処理部 15 と、前記出力データテーブルに基づいて統計処理して統計テーブルを作成する統計処理部 16 とを備えた。

【効果】 テスタから出力されたデータの形状認識、形状分類、統計処理が自動的にでき、処理時間を短縮できる。



【特許請求の範囲】

【請求項 1】 テスタから出力されたフェールビットマップデータを形状認識する形状認識処理部、前記認識された形状データを分類処理して出力データテーブルを作成する形状分類処理部、及び前記出力データテーブルに基づいて統計処理して統計テーブルを作成する統計処理部を備えたことを特徴とする半導体装置の試験データ処理装置。

【請求項 2】 さらに、同一半導体装置に対する前記テストから出力された複数のテスト項目のデータと、前記出力データテーブルと、あらかじめ記述された原因診断ロジックテーブルとに基づいて形状原因を診断する診断処理部を備えたことを特徴とする請求項 1 記載の半導体装置の試験データ処理装置。

【請求項 3】 さらに、前記形状原因のデータと、他装置から出力された検査データとを重ね合わせて不良原因を求めるデータ比較処理部を備えたことを特徴とする請求項 2 記載の半導体装置の試験データ処理装置。

【請求項 4】 フェールビットマップを 1 ビットづつ走査するステップ、不良データが見つかった場合は 8 方向の隣接ビットを調べ、前記 8 方向の全部の隣接ビットが不良データでないときは形状データとして B I T と認識するステップ、x 軸方向右隣ビットが不良データであるときは形状データとして W L I N E と認識するステップ、y 軸方向下隣ビットが不良データであるときは形状データであるとして B L I N E と認識するステップ、並びに前記 x 軸方向右隣ビット及び前記 y 軸方向下隣ビット以外の隣接ビットが不良データであるときは形状データであるとして O T H E R と認識するステップを含むことを特徴とする半導体装置の試験データ処理方法。

【請求項 5】 フェールビットマップを 1 ビットづつ全部走査するステップ、不良データが見つかった場合はそのドットの座標データを不良データ座標テーブルに順に格納するステップ、前記不良データ座標テーブルから 1 づつ座標データを取り出し、前記フェールビットマップの前記取り出した座標データのビットの 8 方向の隣接ビットを調べ、前記 8 方向の全部の隣接ビットが不良データでないときは形状データとして B I T と認識するステップ、x 軸方向右隣ビットが不良データであるときは形状データとして W L I N E と認識するステップ、y 軸方向下隣ビットが不良データであるときは形状データであるとして B L I N E と認識するステップ、並びに前記 x 軸方向右隣ビット及び前記 y 軸方向下隣ビット以外の隣接ビットが不良データであるときは形状データであるとして O T H E R と認識するステップを含むことを特徴とする半導体装置の試験データ処理方法。

【請求項 6】 さらに、前記認識された形状データと、複数のテスト項目の結果に基づいた原因診断ロジックテーブルと、テストによる複数のテスト項目のデータとを組み合わせて形状原因を診断するステップを含むことを

特徴とする請求項 4 又は 5 記載の半導体装置の試験データ処理方法。

【請求項 7】 さらに、前記診断された形状原因のデータと、他装置から出力された検査データとを重ね合わせて不良原因を求めるステップを含むことを特徴とする請求項 6 記載の半導体装置の試験データ処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体メモリあるいはメモリ部分を持つ半導体ロジックデバイス等の半導体装置の試験データ処理装置及びその試験データ処理方法に関するものである。

【0002】

【従来の技術】 従来のメモリ用テストについて図 1 3 を参照しながら説明する。図 1 3 は、従来のメモリ用テストの外観概略を示す図である。

【0003】 図 1 3 において、1 はテスト、2 は C R T (表示装置)、キーボード、ポインティングデバイス(マウス)等を備え、データ処理システム全体を制御したり、試験データを処理する E W S (エンジニアリングワークステーション)、3 は駆動装置、4 はウエハ、5 はウエハ 4 を載せる台、6 はウエハ 4 のチップのパッドに接触して電氣的試験を行うブローバ、7 はブローバ 6 を 3 次元的に移動する駆動腕である。

【0004】 従来のテスト 1 の E W S 2 から得られるデータは H、L の 2 値データであり、かつ 2 次元のテーブル(フェールビットマップ)である。このフェールビットマップはウエハ単位である。図 1 4 は、例えば E W S 2 の C R T に表示された 1 つのチップの具体例を示す。

【0005】 図 1 4 において、斜線部で示す H データは、フェールビットマップ (x, y) (x = 0, 1, 2, 3, ~m, y = 0, 1, 2, 3, ~n) 上で、点、線、面として出力される。L データはフェールビットマップ上には出力されない。

【0006】 従来は、この点、線、面の認識がされていなかった。この点、線、面の形状は、デバイスの不良原因を推測する有効な情報であるが、形としての認識が自動ではなされてなかった。このため解析者(作業者)が目視で換算して数えていたため、非常に時間がかかっていた。また、形状認識処理ができなかったために、形状分類処理、統計処理も自動ではできなかった。

【0007】 つまり、テスト 1 から出力されるデータは、図 1 4 に示すように、視覚的に見えるが、斜線部の H データが何の不良であるかは解析者が判断しなければならなかった。従って、正確さに欠け、また作業時間もかかっていた。

【0008】

【発明が解決しようとする課題】 上述したような従来のテストでは、不良データを視覚的に解るように出力するが、不良原因は解析者が判断しなければならず、正確さ

に欠け、また作業時間もかかっていたという問題点があった。

【0009】この発明は、前述した問題点を解決するためになされたもので、テストから出力されたデータを自動的に形状認識でき、かつ形状分類処理や統計処理が可能な半導体装置の試験データ処理装置及びその試験データ処理方法を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明に係る半導体装置の試験データ処理装置は、テストから出力されたフェールビットマップデータを形状認識する形状認識処理部と、前記認識された形状データを分類処理して出力データテーブルを作成する形状分類処理部と、前記出力データテーブルに基づいて統計処理して統計テーブルを作成する統計処理部とを備えたものである。

【0011】また、この発明に係る半導体装置の試験データ処理装置は、さらに、同一半導体装置に対する前記テストから出力された複数のテスト項目のデータと、前記出力データテーブルと、あらかじめ記述された原因診断ロジックテーブルとに基づいて形状原因を診断する診断処理部を備えたものである。

【0012】また、この発明に係る半導体装置の試験データ処理装置は、さらに、前記形状原因のデータと、他装置から出力された検査データとを重ね合わせて不良原因を求めるデータ比較処理部を備えたものである。

【0013】また、この発明に係る半導体装置の試験データ処理方法は、フェールビットマップを1ビットづつ走査するステップと、不良データが見つかった場合は8方向の隣接ビットを調べ、前記8方向の全部の隣接ビットが不良データでないときは形状データとしてBITと認識するステップと、x軸方向右隣ビットが不良データであるときは形状データとしてWL I N Eと認識するステップと、y軸方向下隣ビットが不良データであるときは形状データとしてBL I N Eと認識するステップと、前記x軸方向右隣ビット及び前記y軸方向下隣ビット以外の隣接ビットが不良データであるときは形状データとしてO T H E Rと認識するステップとを含むものである。

【0014】また、この発明に係る半導体装置の試験データ処理方法は、フェールビットマップを1ビットづつ全部走査するステップと、不良データが見つかった場合はそのドットの座標データを不良データ座標テーブルに順に格納するステップと、前記不良データ座標テーブルから1つづつ座標データを取り出し、前記フェールビットマップの前記取り出した座標データのビットの8方向の隣接ビットを調べ、前記8方向の全部の隣接ビットが不良データでないときは形状データとしてBITと認識するステップと、x軸方向右隣ビットが不良データであるときは形状データとしてWL I N Eと認識するステップと、y軸方向下隣ビットが不良データであるときは形状

であるとしてBL I N Eと認識するステップと、前記x軸方向右隣ビット及び前記y軸方向下隣ビット以外の隣接ビットが不良データであるときは形状データとしてO T H E Rと認識するステップとを含むものである。

【0015】また、この発明に係る半導体装置の試験データ処理方法は、さらに、前記認識された形状データと、複数のテスト項目の結果に基づいた原因診断ロジックテーブルと、テストによる複数のテスト項目のデータとを組み合わせる形状原因を診断するステップとを含むものである。

【0016】さらに、この発明に係る半導体装置の試験データ処理方法は、さらに、前記診断された形状原因のデータと、他装置から出力された検査データとを重ね合わせて不良原因を求めるステップを含むものである。

【0017】

【作用】この発明に係る半導体装置の試験データ処理装置においては、テストから出力されたフェールビットマップデータを形状認識する形状認識処理部と、前記認識された形状データを分類処理して出力データテーブルを作成する形状分類処理部と、前記出力データテーブルに基づいて統計処理して統計テーブルを作成する統計処理部とを備えたので、テストから出力されたデータの形状認識、形状分類、統計処理が自動的にでき、処理時間を短縮できる。

【0018】また、この発明に係る半導体装置の試験データ処理装置においては、さらに、同一半導体装置に対する前記テストから出力された複数のテスト項目のデータと、前記出力データテーブルと、あらかじめ記述された原因診断ロジックテーブルとに基づいて形状原因を診断する診断処理部を備えたので、形状原因を自動的に診断できる。

【0019】また、この発明に係る半導体装置の試験データ処理装置においては、さらに、前記形状原因のデータと、他装置から出力された検査データとを重ね合わせて不良原因を求めるデータ比較処理部を備えたので、不良原因を自動的に求めることができる。

【0020】また、この発明に係る半導体装置の試験データ処理方法においては、フェールビットマップを1ビットづつ走査するステップと、不良データが見つかった場合は8方向の隣接ビットを調べ、前記8方向の全部の隣接ビットが不良データでないときは形状データとしてBITと認識するステップと、x軸方向右隣ビットが不良データであるときは形状データとしてWL I N Eと認識するステップと、y軸方向下隣ビットが不良データであるときは形状データとしてBL I N Eと認識するステップと、前記x軸方向右隣ビット及び前記y軸方向下隣ビット以外の隣接ビットが不良データであるときは形状データとしてO T H E Rと認識するステップとを含むので、形状認識が自動的にでき、処理時間を短縮できる。

【0021】また、この発明に係る半導体装置の試験デ

10

20

30

40

50

ータ処理方法においては、フェールビットマップを1ビットずつ全部走査するステップと、不良データが見つかった場合はそのドットの座標データを不良データ座標テーブルに順に格納するステップと、前記不良データ座標テーブルから1ずつ座標データを取り出し、前記フェールビットマップの前記取り出した座標データのビットの8方向の隣接ビットを調べ、前記8方向の全部の隣接ビットが不良データでないときは形状データとしてBITと認識するステップと、x軸方向右隣ビットが不良データであるときは形状データとしてWL LINEと認識するステップと、y軸方向下隣ビットが不良データであるときは形状データとしてBL LINEと認識するステップと、前記x軸方向右隣ビット及び前記y軸方向下隣ビット以外の隣接ビットが不良データであるときは形状データとしてOTHERと認識するステップとを含むので、形状認識が自動的にでき、処理時間をより短縮できる。

【0022】また、この発明に係る半導体装置の試験データ処理方法においては、さらに、前記認識された形状データと、複数のテスト項目の結果に基づいた原因診断ロジックテーブルと、テストによる複数のテスト項目のデータとを組み合わせる形状原因を診断するステップとを含むので、形状原因を自動的に診断できる。

【0023】さらに、この発明に係る半導体装置の試験データ処理方法においては、さらに、前記診断された形状原因のデータと、他装置から出力された検査データとを重ね合わせて不良原因を求めるステップを含むので、不良原因を自動的に求めることができる。

【0024】

【実施例】

実施例1. この発明の実施例1について図1、図2、図3及び図4を参照しながら説明する。図1は、この発明の実施例1に係る試験データ処理装置の機能ブロックを示す図である。また、図2は、この実施例1の動作を示すフローチャートである。さらに、図3及び図4は、この実施例1の出力結果を示す図である。なお、各図中、同一符号は同一又は相当部分を示す。

【0025】図1において、10は試験データ処理装置であるEWS、11はメモリ用テスト1のデータ出力部とラインを介して接続されたデータ入力部、12はデータ保持部、13は形状認識処理部、14は加工データ保持部、15は形状分類処理部、16は統計処理部、17はデータ出力部である。なお、上記各部はソフトウェアの各機能部を示す。

【0026】まず、メモリ用テスト1から出力されるデータ（フェールビットマップ）は図14のような構造になっている。このフェールビットマップは、 $m \times n$ のメッシュ（マトリックス）に区切られ、各1つのドット（ビット）、あるいはピクセルごとにH、L（または0、1）の2値化された情報が含まれている。それぞれのドットはx方向及びy方向にあらかじめ設定されたア

ドレス（x、y）をもっている。

【0027】つまり、任意のアドレス（x、y）を呼び出せばそのアドレスのドットからHまたはLの2値化された情報を取り出せる。これを2次元的にあらわせば図14のように表示出力できる。メモリデバイスの場合、そのデバイスのセルアドレスが図14のアドレス（x、y）と一致している。通常、HもしくはLデータがそのメモリデバイスのセルの不良をあらわすことに用いられる。この実施例ではHデータを不良として扱うことにする。

【0028】図14のフェールビットマップにおける不良データ（Hデータ）の形状はテスト1によるメモリデバイスのテスト内容によっては、その不良の原因を推測するのに非常に有効であるが、その形状認識処理が従来では自動でできなかった為に、作業者が目でみて判断し形状の分類を点、線、面などのようにしていた。また、その分類された点の数や線、面の数も同様に作業者が数えており、非常に労力を有していた。

【0029】この実施例1は、テスト1のデータ出力部から出力されたデータ（フェールビットマップ（x、y））をまずデータ入力部11を介してデータ保持部12で保持する。保存の時はテスト1から出力されたウェハ4のチップ単位ごとにファイルとして保存する。次に、このデータをデータ保持部12から読みだし、形状認識処理部13で形状認識される。この形状認識されたデータは加工データ保持部14で保持され、次に、形状分類処理部15、統計処理部16で処理され、再び、加工データ保持部14で出力データテーブル（X、Y）、統計データテーブルとして保持される。そして、このデータはデータ出力部17から外部に出力される。

【0030】つぎに、この実施例1の形状認識、及び形状分類の処理について図2のフローチャートを参照しながら説明する。

【0031】ステップ20～21において、認識処理したいファイル（フェールビットマップ（x、y））を呼び出す。また、（x、y）座標の最大値m、nを設定する。なお、説明を分かりやすくするために、フェールビットマップ（x、y）を、この処理のなかでは入力データテーブル（x、y）と称する。

【0032】ステップ22において、形状データ「ビット」、「ビットライン」、「ワードライン」、「その他」毎のカウントBIT、BLINE（1）、BLINE（2）、BLINE（3）、～BLINE（n）、WL LINE（1）、WL LINE（2）、WL LINE（3）、～WL LINE（m）、OTHERの初期値「0」を設定する。ここで、BLINE及びWL LINEの（）内は、それぞれの長さ（ビット数）を示してL及びLLで表し、これらも初期値「0」を設定する。

【0033】ステップ23において、入力データテーブル（x、y）の座標 $x=0$ 、 $y=0$ として初期化する。

なお、チップ毎の出力データテーブル (X, Y) = (0, 0) として初期化しておく。

【0034】ステップ24において、入力データテーブル (x, y) のドットの走査を開始する。ここで、該当ドットのデータがLの場合、ステップ34でx座標が最大値mでなかったら、次のステップ35で $x = x + 1$ として、次のドットを走査する。ステップ34でx座標が最大値mであつたらステップ36へ進み、このステップ36でy座標が最大値nでなかったら、次のステップ37で $y = y + 1$ として、次のドットを走査する。ステップ36でy座標が最大値nであつたら終了とする。一方、上記該当ドットのデータがHの場合、次のステップ25へ進む。

【0035】ステップ25～33において、上記 (x, y) のドットのデータがHの場合は、その8方向の隣接ドットを走査する。それらの隣接ドットにHデータがなかったら、形状データとして「ビット」を格納する。つまり、 $X = x$, $Y = y$ として、出力データテーブル (X, Y) = "BIT" とする。また、カウンタを更新する。つまり、 $BIT = BIT + 1$ とする。また、ステップ25において、x (プラス) 方向の隣接ドットにHデータがある場合、ステップ40へ進む。また、ステップ29において、y (プラス) 方向の隣接ドットにHデータがある場合、ステップ50へ進む。さらに、ステップ26、27、28、30、31、又は32において、 $(x + 1, y)$ 及び $(x, y + 1)$ 以外の隣接ドットにHデータがある場合、ステップ60へ進む。

【0036】ステップ40～44において、入力データテーブル $(x + 1, y)$ のドットにHデータがあつた場合、 $x = x + 1$, $LL = LL + 1$ とし、入力データテーブル (x, y) のドットを走査する。そして、Lデータが見つかるまで、x方向の長さLLをカウントする。形状データとして長さLLの「ワードライン」を格納する。つまり、座標を $X = x - LL$, $Y = y$ として、出力データテーブル (X, Y) = "WLINE (LL)" とする。また、カウンタ $WLINE (LL) = WLINE (LL) + 1$ として更新する。なお、 $x = x - LL$ として、入力データテーブルのx座標の値を元に戻す。

【0037】ステップ50～54において、入力データテーブル (x, y + 1) のドットにHデータがあつた場合、 $y = y + 1$, $L = L + 1$ とし、入力データテーブル (x, y) のドットを走査する。そして、Lデータが見つかるまで、y方向の長さLをカウントする。形状データとして長さLの「ビットライン」を格納する。つまり、座標を $X = x$, $Y = y - L$ として、出力データテーブル (X, Y) = "BLINE (L)" とする。また、カウンタ $BLINE (L) = BLINE (L) + 1$ として更新する。なお、 $y = y - L$ として、入力データテーブルのy座標の値を元に戻す。

【0038】ステップ60において、入力データテーブ

ル $(x + 1, y)$ 及び $(x, y + 1)$ 以外の隣接ドットにHデータがあつた場合、形状データとして「その他」を格納する。つまり、座標を $X = x$, $Y = y$ として、出力データテーブル (X, Y) = "OTHER" とする。また、カウンタ $OTHER = OTHER + 1$ として更新する。

【0039】上記処理フローは、入力データテーブル (x, y) の各ドットを走査する座標を (0, 0)、(1, 0)、(2, 0)、(3, 0)、～(m, 0)、(0, 1)、(1, 1)、(2, 1)、(3, 1)、～(m, 1)、(0, 2)、(1, 2)、(2, 2)、(3, 2)、～(m, 2)、～(0, n)、(1, n)、(2, n)、(3, n)、～(m, n) で与えて、x軸優先で走査して不良データ (Hデータ) を検出するもので、検出した不良データをその都度認識処理して形状分類するものである。なお、y軸優先で走査してもよい。入力データテーブル (x, y) の各ドットはH, Lの2値データを格納しているが、上記の認識、分類処理を行うと、出力データテーブル (X, Y) に不良データが存在する座標に対応して分類された形状データと、各カウンタに形状データ毎のカウント値とが得られる。

【0040】また、統計処理部16は、形状認識処理部13及び形状分類処理部15によりフェールビットマップ (x, y) のデータから形状認識、分類され、加工データ保持部14に格納された上記出力データテーブル (X, Y) に基づいて、統計処理を行う。

【0041】例えば、統計処理部16は、形状毎の不良数をカウントし、図3に示すような、不良座標と、不良数と、不良名からなる統計テーブルを作成する。図3は、図14に示すフェールビットマップ (x, y) の具体例に基づいて作成したものである。同図において、フェールビットマップの座標 (1, 1) に形状データとしてBIT、座標 (3, 3) ～ (3, 5) に形状データとして長さLLが3のWLINE (3)、座標 (1, 4) ～ (1, 5) に形状データとして長さLが2のBLINE (2) が存在していたことを示す。

【0042】さらに、統計処理部16は、上記統計テーブルから図4に示す統計表も作成する。これら統計テーブルや統計表は、EWSのCRTに表示される。また、プリンタによって印字 (作表) される。

【0043】実施例2. 上記実施例1は、フェールビットマップ (x, y) の全ビットを走査しながら形状認識、形状分類していたが、この実施例2は、最初にフェールビットマップ (x, y) の全ビットを走査し、不良データがあつた座標 (x, y) データを「不良データ座標テーブル」として作成し、次にこの「不良データ座標テーブル」に格納された座標データに基づいてフェールビットマップの該当ビットを上記実施例1と同様の形状認識、分類するものである。従って、1回目の走査で不

良と認識したビットのみ形状認識、分類するので、トータルでの処理時間を短縮できる。

【0044】すなわち、上記実施例1と比較して、始めにx軸優先でドットを走査し、Hデータがあるドットの座標(x, y)を不良データ座標テーブルに順に格納する点が異なっている。ここで、Lデータを有するドットの座標(x, y)は上記不良データ座標テーブルに格納されない。次の認識分類処理は不良データ座標テーブルに格納された座標(x, y)のドットを対称に行うので、Lデータを有するドットは認識分類処理が行われず、処理速度の向上が計られる。

【0045】従って、「不良データ座標テーブル」には、Hデータを有していたドットの座標(x, y)データが得られ、「出力データテーブル(X, Y)」に不良データが存在する座標に対応して分類された形状データと、各「カウンタ」に形状データ毎のカウント値とが得られる。なお、「良データ座標テーブル」に、Lデータを有していたドットの座標(x, y)データを順に格納し、“Pass”という形状データとして認識してもよい。

【0046】実施例3. この発明の実施例3について図5、図6、及び図7を参照しながら説明する。図5は、この発明の実施例3に係る試験データ処理装置の機能ブロックを示す図である。また、図6は、この実施例3に係るテストの出力データを示す図である。さらに、図7は、この実施例3の出力結果を示す図である。

【0047】図5において、10Aは試験データ処理装置であるEWS、11はメモリ用テスト1のデータ出力部とラインを介して接続されたデータ入力部、12はデータ保持部、13は形状認識処理部、14は加工データ保持部、15は形状分類処理部、16は統計処理部、17はデータ出力部である。

【0048】また、同図において、18は診断処理部、19は診断ロジック内容保持部である。なお、上記各部分はソフトウェアの各機能部を示す。

【0049】形状認識処理部13、形状分類処理部15、及び統計処理部16については上記実施例1で説明したので省略する。

【0050】まず、テスト1より、同一サンプルでの複数個のテストされた(テストA、テストB、テストC、テストD、～)データが、データ出力部を介して出力される。図6にテスト1の出力データのイメージ図を示す。個々のアドレス(ビット)はそれぞれテスト項目ごとの2値化されたHまたはLのデータを持つ。あらかじめ、すべてのテスト項目の結果の組み合わせに対して、診断ロジック内容保持部19にそれらのテストの結果を引き起こす原因を「原因診断ロジックテーブル」として記述しておく。メモリデバイスで言えば、不良工程や、不良配線が該当する。

【0051】次に、形状原因の診断処理の手法を説明す

る。テスト1より、データ入力部11、データ保持部12を介して複数個のテスト項目のデータが診断処理部18に出力される。この診断処理部18では、これらの複数のテスト項目のデータと、形状認識処理部13より出力される形状データとを、診断ロジック内容保持部19に記述された「原因診断ロジックテーブル」と比較して、形状認識処理部13が認識した形状を引き起こす形状原因を診断する。図7にその診断結果の出力例を示す。

10 【0052】例えば、診断処理部18は、認識された形状データがBITであり、テストA、テストB、テストC、及びテストDのデータが「H」、「H」、「H」及び「L」である場合、形状原因として「工程A」であると診断する。

【0053】実施例4. この発明の実施例4について図8、図9、図10、図11、及び図12を参照しながら説明する。図8は、この発明の実施例4に係る試験データ処理装置を示すブロック図である。図9は、この発明の実施例4の入力試験データの1つであって、テストから出力されたウエハ全体のデータを示す図である。図10は、他装置(異物検査装置)からの入力試験データであって、ウエハ全体のデータを示す図である。図11は、この発明の実施例4の処理方法を説明するための図である。図12は、この発明の実施例4の出力結果を示す図である。

【0054】図8において、10Bは試験データ処理装置であるEWSであって、上記各実施例で得られたデータと他装置70、71から出力されたデータを自動で比較処理する機能を有するデータ比較処理部をもつものである。

【0055】まず、上記各実施例で出力されたデータは、図9に示すフェールビットマップから得られた座標アドレスと、そのアドレスごとに形状認識された形状データと、テスト項目毎のデータである。これらのデータが1枚のウエハを単位とするとそのアドレスはウエハ上の位置に換算することも可能である。これは上記データ比較処理部で行う。図9は、ウエハ中の不良分布(フェールビットマップ)を示している。

【0056】次に、この同一ウエハはその生産工程の途中で異物分布、膜厚分布、寸法分布、濃度分布のようなウエハ面内情報でとられている。このデータは、各工程ごとに図10のような形で出力される。図10は、異物検査装置(他装置)から出力された例である。この例では、ウエハ上の異物の位置と異物情報(粒径他)を含んでいる。これら、テスト1で出力されたデータと、他装置70、71で出力されたデータとはデータ比較処理部で同じ座標軸へそれぞれアドレス変換し、次に同部で重ねあわせ処理を行う。

【0057】この重ねあわせ処理は具体的な例として、次のものを示しておく。テスト1で出力された不良は形

状によりBIT、BLINE、WLINE、OTHERなどのように分類される。

【0058】BIT率＝（異物検査装置からのデータであって、異物が存在するアドレスと、テスト1からのデータであって、形状データとしてBITと認識分類されたアドレスとが一致した総数）／（テスト1からのデータであって、形状データとしてBITと認識分類されたアドレスの総数）

【0059】WLINE率＝（異物検査装置からのデータであって、異物が存在するアドレスと、テスト1からのデータであって、形状データとしてWLINEと認識分類されたアドレスとが一致した総数）／（テスト1からのデータであって、形状データとしてWLINEと認識分類されたアドレスの総数）

【0060】例えば、上記のように計算すると、図10のデータが出力された工程で発見された異物がどのような不良になっているかの相関を容易に入手できる。この重ねあわせ処理の組み合わせ方は何通りにも行うことができる。なお、これらのデータのやりとりは、フロッピーディスク、MOのようなメディアを介してもよいし、Ethernetのようなオンライン回線で接続してもよい。また、上記データ比較処理部は、実施例1、実施例3の試験データ処理装置の内部に組み込まれてもよい。

【0061】もう少し具体的に説明すると以下ようになる。例えばテスト1から出力されるデータは電気的テストの結果であり、他装置70、71から出力されるデータはウエハ（チップ）上のゴミであるとする、どちらも図11に示す（a）図と（b）図のようなマップで出力される。なお、他装置70、71から出力されるデータはウエハ（チップ）上のゴミであるが、具体的にはゴミの座標であって、フェールビットマップの座標系と同じものである。

【0062】図11のようなテスト結果が得られたとすると、上記データ比較処理部は、これらのデータを重ね合わせる。重ね合わせた結果、座標が一致した場合は、BIT不良の原因はゴミ1によるものであるといえる。図12に示すように、アドレス（ x_1 , y_1 ）では、工程Aにおいてゴミ1によってBIT不良が発生していると診断できる。また、アドレス（ x_2 , y_2 ）では、BIT不良が発生しているがゴミがない場合を示す。不良の原因は、いろいろな要素があり、ゴミはその要素の中の1つである。他装置70、71は、要素を検査するもので、これから得られるデータを上記各実施例で得られたテスト結果に組み込むことで不良の原因を突き止めることが可能となる。

【0063】

【発明の効果】この発明に係る半導体装置の試験データ処理装置は、以上説明したとおり、テストから出力されたフェールビットマップデータを形状認識する形状認識処理部と、前記認識された形状データを分類処理して出

力データテーブルを作成する形状分類処理部と、前記出力データテーブルに基づいて統計処理して統計テーブルを作成する統計処理部とを備えたので、テストから出力されたデータの形状認識、形状分類、統計処理が自動的にでき、処理時間を短縮できるという効果を奏する。

【0064】また、この発明に係る半導体装置の試験データ処理装置は、以上説明したとおり、さらに、同一半導体装置に対する前記テストから出力された複数のテスト項目のデータと、前記出力データテーブルと、あらかじめ記述された原因診断ロジックテーブルとに基づいて形状原因を診断する診断処理部を備えたので、形状原因を自動的に診断できるという効果を奏する。

【0065】また、この発明に係る半導体装置の試験データ処理装置は、以上説明したとおり、さらに、前記形状原因のデータと、他装置から出力された検査データとを重ね合わせて不良原因を求めるデータ比較処理部を備えたので、不良原因を自動的に求めることができるという効果を奏する。

【0066】また、この発明に係る半導体装置の試験データ処理方法は、以上説明したとおり、フェールビットマップを1ビットずつ走査するステップと、不良データが見つかった場合は8方向の隣接ビットを調べ、前記8方向の全部の隣接ビットが不良データでないときは形状データとしてBITと認識するステップと、x軸方向右隣ビットが不良データであるときは形状データとしてWLINEと認識するステップと、y軸方向下隣ビットが不良データであるときは形状データとしてBLINEと認識するステップと、前記x軸方向右隣ビット及び前記y軸方向下隣ビット以外の隣接ビットが不良データであるときは形状データとしてOTHERと認識するステップとを含むので、形状認識が自動的にでき、処理時間を短縮できるという効果を奏する。

【0067】また、この発明に係る半導体装置の試験データ処理方法は、以上説明したとおり、フェールビットマップを1ビットずつ全部走査するステップと、不良データが見つかった場合はそのドットの座標データを不良データ座標テーブルに順に格納するステップと、前記不良データ座標テーブルから1ずつ座標データを取り出し、前記フェールビットマップの前記取り出した座標データのビットの8方向の隣接ビットを調べ、前記8方向の全部の隣接ビットが不良データでないときは形状データとしてBITと認識するステップと、x軸方向右隣ビットが不良データであるときは形状データとしてWLINEと認識するステップと、y軸方向下隣ビットが不良データであるときは形状データとしてBLINEと認識するステップと、前記x軸方向右隣ビット及び前記y軸方向下隣ビット以外の隣接ビットが不良データであるときは形状データとしてOTHERと認識するステップとを含むので、形状認識が自動的にでき、処理時間をより短縮できるという効果を奏する。

【0068】また、この発明に係る半導体装置の試験データ処理方法は、以上説明したとおり、さらに、前記認識された形状データと、複数のテスト項目の結果に基づいた原因診断ロジックテーブルと、テストによる複数のテスト項目のデータとを組み合わせる形状原因を診断するステップとを含むので、形状原因を自動的に診断できるという効果を奏する。

【0069】さらに、この発明に係る半導体装置の試験データ処理方法は、以上説明したとおり、さらに、前記診断された形状原因のデータと、他装置から出力された検査データとを重ね合わせて不良原因を求めるステップを含むので、不良原因を自動的に求めることができるという効果を奏する。

【図面の簡単な説明】

【図1】 この発明の実施例1に係る試験データ処理装置の機能ブロックを示す図である。

【図2】 この発明の実施例1の形状認識、形状分類処理を示すフローチャートである。

【図3】 この発明の実施例1の出力結果を示す図である。

【図4】 この発明の実施例1の出力結果を示す図である。

【図5】 この発明の実施例3に係る試験データ処理装置の機能ブロックを示す図である。

【図6】 この発明の実施例3の入力試験データを示す

【図3】

不良座標	不良数	不良名
(1, 1)	1	BIT
(3, 3) ~ (5, 3)	1	WLINE (3)
(1, 4) ~ (1, 5)	1	BLINE (2)
.	.	.
.	.	.
.	.	.

【図6】

アドレス	テストA	テストB	テストC	テストD
(x ₁ , y ₁)	H	H	H	L
(x ₁ , y ₂)	L	H	H	L
.
.
(x _m , y _n)	L	H	L	L

図データ。

【図7】 この発明の実施例3の診断の出力結果を示す図である。

【図8】 この発明の実施例4に係る試験データ処理装置を示すブロック図である。

【図9】 この発明の実施例4の入力試験データを示す図である。

【図10】 他装置（異物検査装置）からの入力試験データを示す図である。

【図11】 この発明の実施例4の処理方法を説明するための図である。

【図12】 この発明の実施例4の出力結果を示す図である。

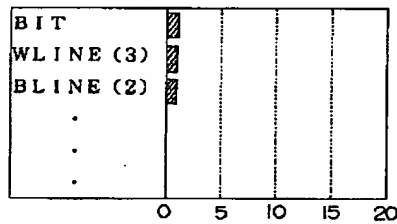
【図13】 従来の半導体装置の試験データ処理装置を示す図である。

【図14】 従来の半導体装置の試験データ処理装置の出力結果を示す図である。

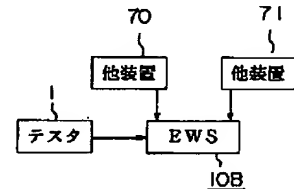
【符号の説明】

1 テスタ、10、10A、10B 試験データ処理装置（EWS）、11データ入力部、12 データ保持部、13 形状認識処理部、14 加工データ保持部、15 形状分類処理部、16 統計処理部、17 データ出力部、18 診断処理部、19 診断ロジック内容保持部、70、71 他装置。

【図4】



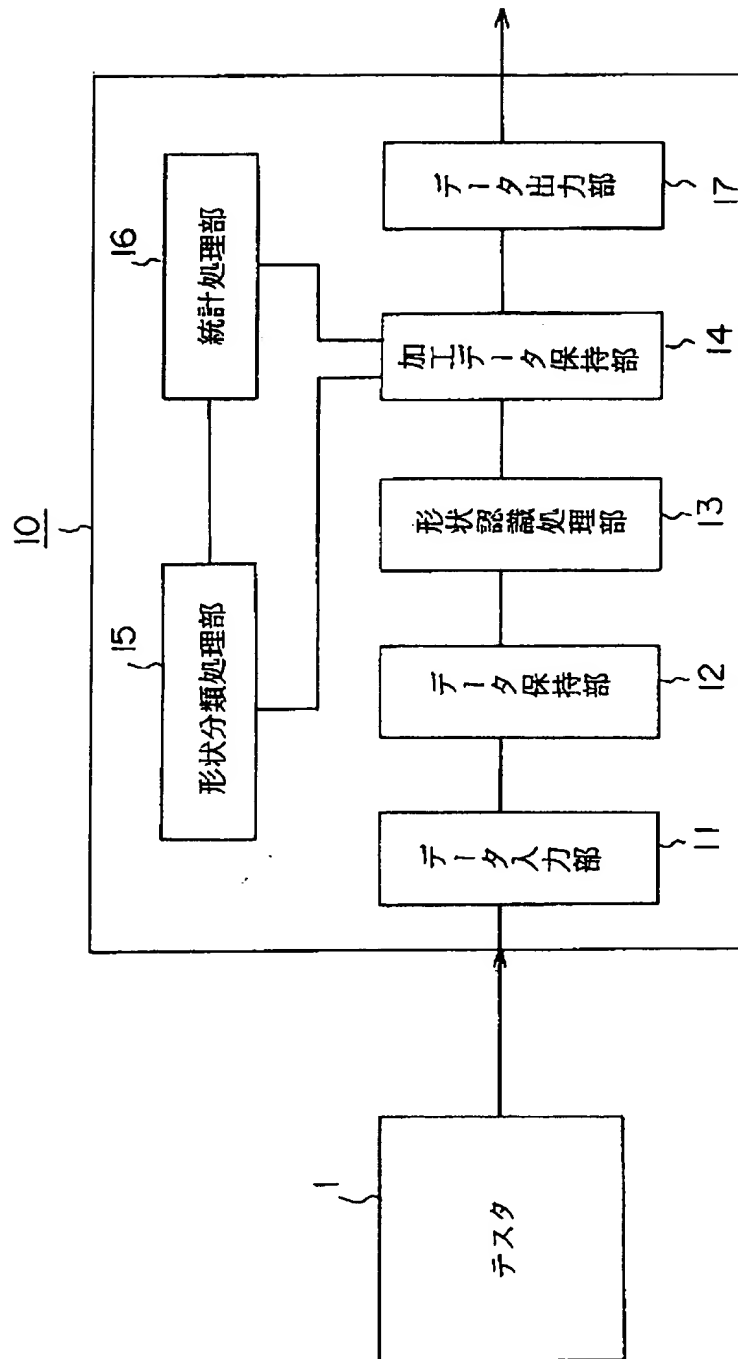
【図8】



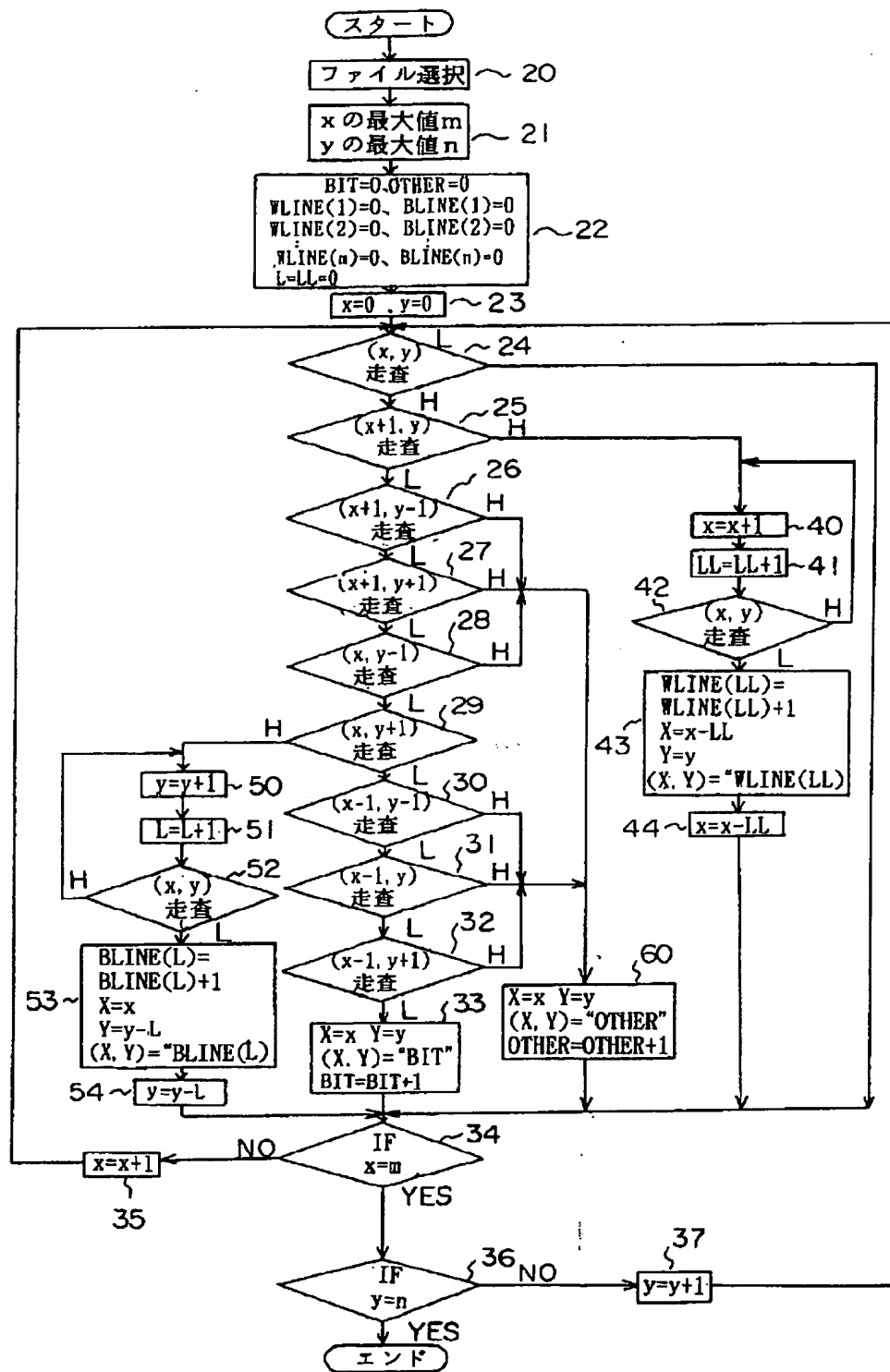
【図7】

アドレス	形状	テストA	テストB	テストC	テストD	形状原因
x ₁ , y ₁	BIT	H	H	H	L	工程A
x ₁ , y ₂	BIT	H	L	L	L	工程B
x ₂ , y ₂	BIT	L	L	H	H	工程C
x ₃ , y ₄	BLINE	H	L	H	H	配線A
x ₄ , y ₄	BLINE	L	H	L	L	工程D
x ₄ , y ₃	WLINE	H	H	L	H	配線B
x ₅ , y ₃	WLINE	L	H	H	H	配線C
x ₉ , y ₁	OTHER	H	H	L	L	工程E
x ₉ , y ₁	OTHER	L	L	H	H	工程F
x ₁₀ , y ₂	OTHER	L	H	L	H	配線D

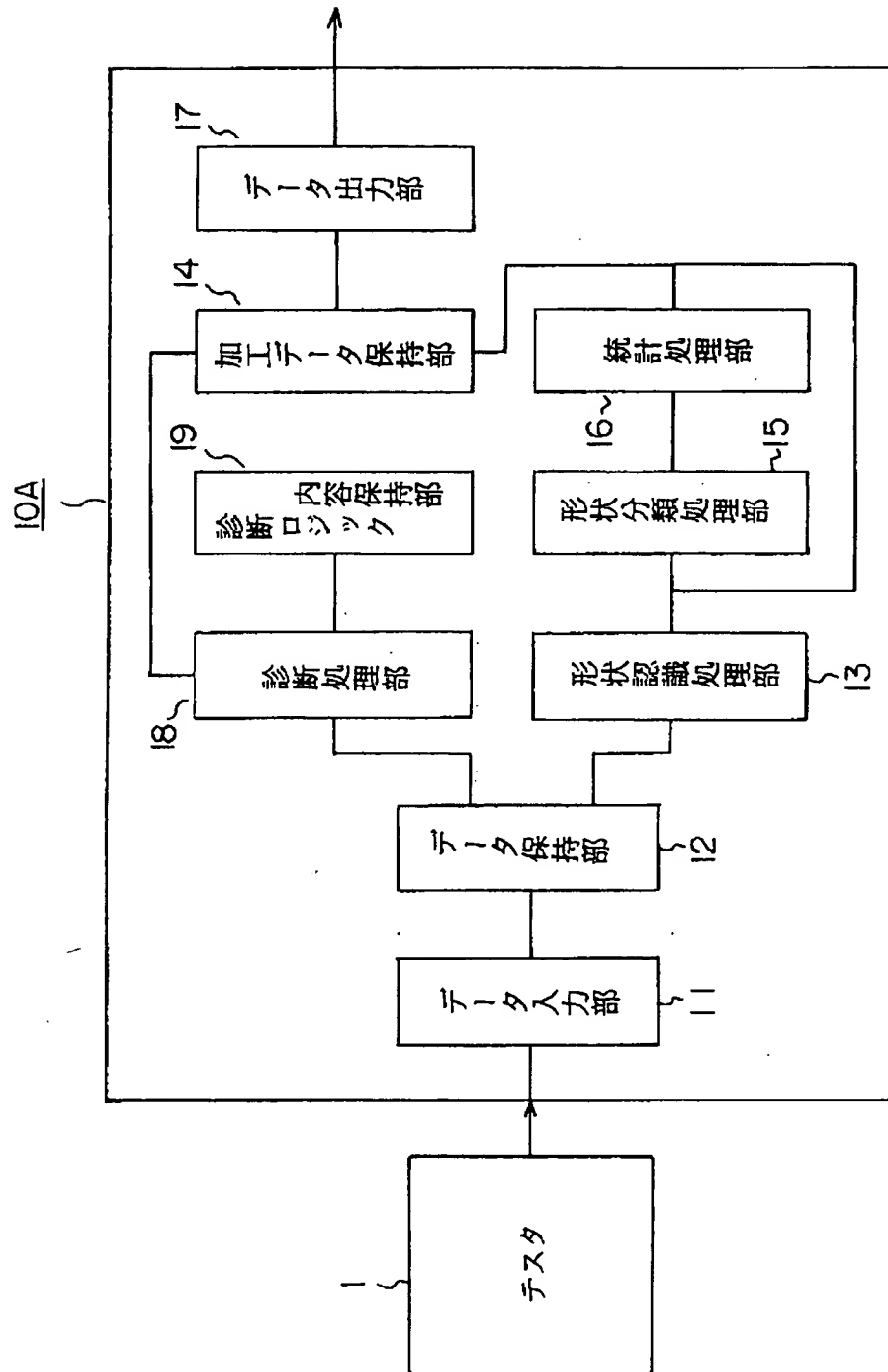
【図 1】



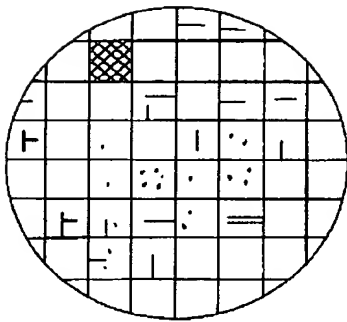
【図2】



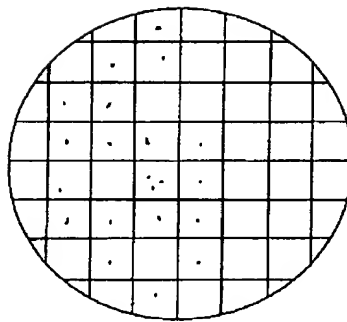
【図 5】



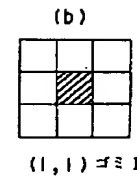
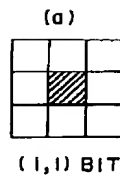
【図 9】



【図 10】



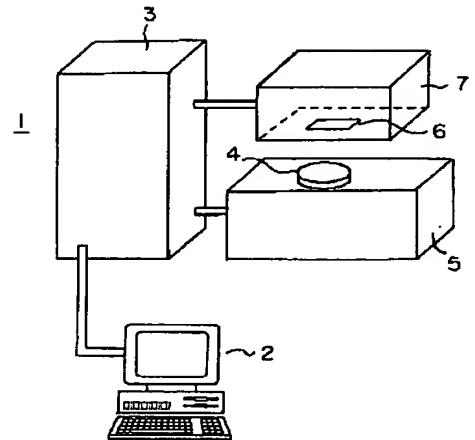
【図 11】



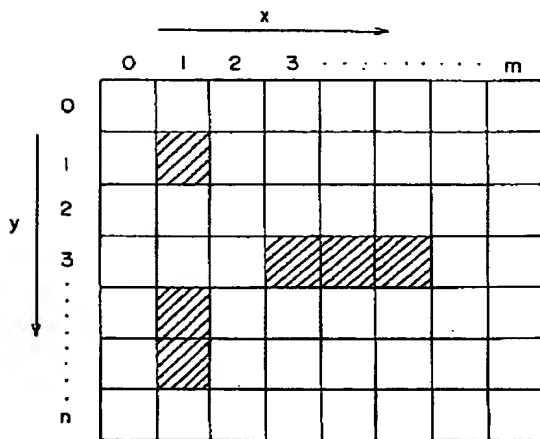
【図 12】

アドレス	形状	テストA	テストB	テストC	テストD	他装置1	他装置2	形状原因
(x_1, y_1)	BIT	H	H	H	L	ゴミ1	...	工程A: ゴミ1
(x_n, y_n)	BIT	H	H	L	L	—	...	工程A
.
.
.
.
.
.
.
.

【図 13】



【図 14】



フロントページの続き

(72)発明者 小山 徹
伊丹市瑞原4丁目1番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内

(72)発明者 太田 文人
伊丹市瑞原4丁目1番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内

(72)発明者 筒井 俊和
伊丹市瑞原 4 丁目 1 番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内

(72)発明者 益子 洋治
伊丹市瑞原 4 丁目 1 番地 三菱電機株式会
社ユー・エル・エス・アイ開発研究所内
(72)発明者 古田 正昭
伊丹市瑞原四丁目 1 番地 菱電セミコンダ
クタシステムエンジニアリング株式会社内

拒絶理由通知書

特許出願の番号 特願 2000-103568[✓]
起案日 平成15年 8月28日
特許庁審査官 須原 宏光 9057 5N00
特許出願人代理人 高橋 詔男 (外 3名) 様
適用条文 第29条第2項、第29条の2

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・請求項1、2、5
- ・引用文献等1
- ・備考

引用文献1に記載されたものも、外部から指定された電位を参照信号の電位と設定する参照電位設定回路系(ノード148、FET131等)を備えるものである。

- ・請求項3
- ・引用文献等1、2
- ・備考

引用文献2記載されているように、試験装置で統計処理等を行うことは通常のことにはすぎない。

引用文献1の半導体装置の試験において、試験装置で統計処理などを行い本願発明の構成とすることは、当業者が容易になし得ることと認める。

- ・請求項4
- ・引用文献等1-3

・備考

試験の機能の一部を半導体記憶装置に備えることは、引用文献3に記載されている。

B. この出願の下記の請求項に係る発明は、その出願の日前の特許出願であって、その出願後に出願公告又は出願公開がされた下記の特許出願の願書に最初に添付された明細書又は図面に記載された発明と同一であり、しかも、この出願の発明者がその出願前の特許出願に係る上記の発明をした者と同じではなく、またこの出願の時に於いて、その出願人が上記特許出願の出願人と同一でもないのに、特許法第29条の2の規定により、特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

・請求項6、7、10

・引用文献等4

・備考

出願4に記載されたものは、データ線の電位をAD変換している。通常、AD変換回路は、入力部にサンプルホールド回路を有するものである。

したがって、出願4には、本願発明と相違しないものが記載されているものと認める。

・請求項9

・引用文献等4

・備考

出願4に記載されたものも、試験の機能の一部を備えている。

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

引用文献等一覧

1. 特開昭59-198594号公報
2. 特開平08-313594号公報
3. 特開昭57-200993号公報
4. 特願平11-331244号 (特開2001-148200号)

先行技術文献調査結果の記録

・調査した分野 IPC第7版 G11C 11/22
G11C 17/00

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。